

IPW



Patent

Customer No. 31561  
Application No.: 10/710,561  
Docket No. 11742-US-PA

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Re application of  
Applicant : Ho et al.  
Application No. : 10/710,561  
Filed : Jul 21, 2004  
For : METHOD OF FABRICATING CIRCUIT SUBSTRATE  
Examiner : N/A  
Art Unit : 1725

---

ASSISTANT COMMISSIONER FOR PATENTS  
Arlington, VA 22202

Dear Sir:

Transmitted herewith are certified copies of Taiwan Applications:

1. Serial No.: 92119806, filed on: 2003/7/21;
2. Serial No.: 92126141, filed on: 2003/9/23;
3. Serial No.: 93106926, filed on: 2004/3/16.

A return prepaid postcard is also included herewith.

Respectfully Submitted,  
JIANQ CHYUN Intellectual Property Office

Dated: Nov. 26, 2004

By: Belinda Lee  
Belinda Lee  
Registration No.: 46,863

**Please send future correspondence to:**  
**7F.-1, No. 100, Roosevelt Rd.,**  
**Sec. 2, Taipei 100, Taiwan, R.O.C.**  
**Tel: 886-2-2369 2800**  
**Fax: 886-2-2369 7233 / 886-2-2369 7234**  
**E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw**

Japan At JCIPGroup

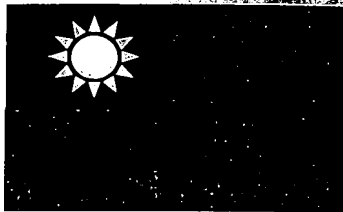
---

送信者: "Mail Delivery Subsystem" <MAILER-DAEMON@ycm05.jvc-victor.co.jp>  
宛先: <japan@JCIPGroup.com.tw>  
送信日時: 2004年8月6日 17:57  
添付: ATT00106.dat; JC IP Group News\_20040806.eml  
件名: Returned mail: see transcript for details

The original message was received at Fri, 6 Aug 2004 18:57:27 +0900  
from root@localhost

----- The following addresses had permanent fatal errors -----  
m-yamashita@skt.jvc-victor.co.jp ✓  
(reason: 550 5.1.1 <m-yamashita@skt.jvc-victor.co.jp>... User unknown)

----- Transcript of session follows -----  
... while talking to bms01.skt.jvc-victor.co.jp.:  
>>> RCPT To:<m-yamashita@skt.jvc-victor.co.jp>  
<<< 550 5.1.1 <m-yamashita@skt.jvc-victor.co.jp>... User unknown  
550 5.1.1 m-yamashita@skt.jvc-victor.co.jp... User unknown



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder.

申請日：西元 2003 年 07 月 21 日  
Application Date

申請案號：092119806  
Application No.

申請人：威盛電子股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

CERTIFIED COPY OF  
PRIORITY DOCUMENT

發文日期：西元 2004 年 8 月  
Issue Date

發文字號：09320744900  
Serial No.



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中 文	基板電鍍製程
	英 文	ELECTROPLATING METHOD FOR SUBSTRATE
二、 發明人 (共2人)	姓 名 (中文)	1. 何昆耀
	姓 名 (英文)	1. Kwun-Yao Ho
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路533號8樓
	住居所 (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英文)	1. VIA Technologies, Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. Hsiueh-Hong WANG

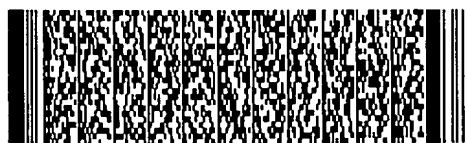


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中 文)	2. 宮振越
	姓 名 (英 文)	2. Moriss Kung
	國 籍 (中 英 文)	2. 中華民國 TW
	住 居 所 (中 文)	2. 台北縣新店市中正路533號8樓
	住 居 所 (英 文)	2. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	



四、中文發明摘要 (發明名稱：基板電鍍製程)

一種基板電鍍製程係先提供一已完成前段製程的基板，具有一基板內部線路及一上表面及對應之一下表面，該下表面具有複數個第一接墊及複數個線路圖案，該上表面具有複數個第二接墊及複數個線路圖案，並且該上表面及該下表面上分別具有一鍍層覆蓋該些線路圖案而暴露出該些第一接墊及該些第二接墊，其中該些第一接墊藉由該基板內部線路與該些第二接墊電性連接。接著，形成一導電種子層覆蓋在該基板之該下表面上。然後，以電鍍的方式，同時形成一第一金屬層在該導電種子層上及形成一第二金屬層在該些第二接墊上。

伍、(一)、本案代表圖為：第\_\_\_8\_\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

118：連接孔

119：金屬

122：接墊

132：接墊

六、英文發明摘要 (發明名稱：ELECTROPLATING METHOD FOR SUBSTRATE)

An electroplating method for a substrate includes the following steps. First, a semi-finished substrate is provided with an internal substrate circuit, an upper surface and a lower surface. There are multiple first contact pads and multiple traces on the lower surface. There are multiple second contact pads and multiple traces on the upper surface. There are



四、中文發明摘要 (發明名稱：基板電鍍製程)

150 : 金屬層

160 : 金屬層

162 : 金屬層

六、英文發明摘要 (發明名稱：ELECTROPLATING METHOD FOR SUBSTRATE)

solder-mask layers positioned on the upper surface and on the lower surface, covering the traces and exposing the first contact pads and the second contact pads. The internal substrate circuit electrically connects the first contact pads and the second contact pads. Next, a conductive seed layer is formed on the lower surface of the substrate. Next, an electroplating process is



四、中文發明摘要 (發明名稱：基板電鍍製程)

六、英文發明摘要 (發明名稱：ELECTROPLATING METHOD FOR SUBSTRATE)

performed simultaneously to form a first metal layer onto the conductive seed layer and to form a second metal layer onto the second contact pads.





一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

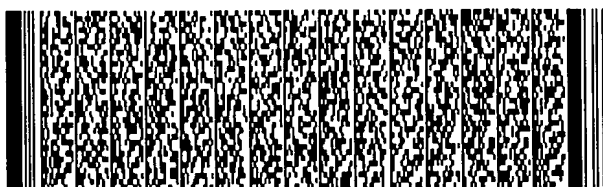
### 【發明所屬之技術領域】

本發明是有關於一種基板電鍍製程，且特別是有關於一種不需製作電鍍線(plating line)即可利用電鍍方式同時完成基板之雙面電鍍的製程。

### 【先前技術】

在現今的資訊社會中，均追求高速度、高品質、多工能的產品，而就產品外觀而言，係朝向輕、薄、短、小的趨勢邁進。為了達到上述目的，現今許多公司均想盡各種方式縮減線路之尺寸，其中就晶片內之繞線尺寸而言，由於導入銅製程的概念，因此晶片內之金屬線寬可以大幅度的縮減，甚至已經進入到奈米等級的階段。而為了縮減基板之體積，亦可以從縮減基板之金屬線路的線寬及金屬線路之間的間距著手。

在習知技術中，一般會利用電鍍的方式形成金屬層在基板之表面上，因此必須要特別增設額外的電鍍線路(plating line)，使得當基板放入到電鍍槽中時，其中一電極可以藉由接觸此電鍍線路而與基板之金屬層電性連接，如此便可以電鍍金屬到基板上。然而，在上述的習知技術中，必須要特別增設額外的電鍍線路才能進行電鍍製程，因此會浪費基板的繞線空間，而且難以製作出高接點數目之基板。另外，最後電鍍完成之後，還必須要切掉此用於電鍍製程之電鍍線路，徒增製作基板的時間及成本，且即使在切掉此電鍍線路之後，還是會留段尾巴在基板上，並不會完全地切除乾淨，如此當訊號在流經與尾巴連



## 五、發明說明 (2)

接的線路時，會產生較大幅度的雜訊，使得基板之電性效能降低。

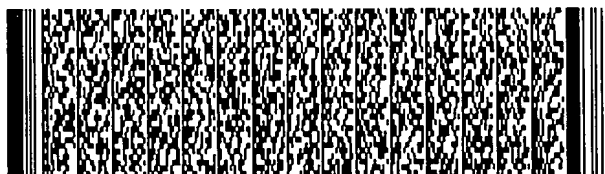
為改善上述的問題，可以利用無電電鍍的方式形成金屬到基板上，然而利用此種方式所形成的金屬甚薄，且由無電電鍍所形成之金屬的品質並不穩定。

### 【發明內容】

本發明的主要目的係提出一種基板電鍍製程，利用基板單面(one-side)之導電種子層及電鍍面的設計，可同時完成基板的雙面(both-side)電鍍，能夠有效簡化基板電鍍製程。

本發明的另一目的係提出一種基板電鍍製程，可不需增設額外的電鍍線即可進行電鍍製程，而使基板有更多的繞線空間以製作出高接點數目的基板，並可避免因電鍍線殘留而造成基板電性效能降低的問題。

為達成本發明之上述目的，提出一種基板電鍍製程，至少包括下列步驟。首先，提供一已完成前段製程的基板，具有基板內部線路及一第一表面及對應之一第二表面，該第一表面上具有複數個第一接墊(pad)及複數個線路圖案(trace)，該第二表面上具有複數個第二接墊及複數個線路圖案，並且該第一及第二表面上分別具有一鍍層覆蓋該些線路圖案而暴露出該些第一接墊及該些第二接墊，其中該些第一接墊藉由該基板內部線路與該些第二接墊電性連接；接著，形成一導電種子層(conductive seed layer)覆蓋在該基板之第一表面上；然後，同時於基板之



### 五、發明說明 (3)

第一及第二表面上，電鍍形成金屬層在該導電種子層上及該些第二接墊上。

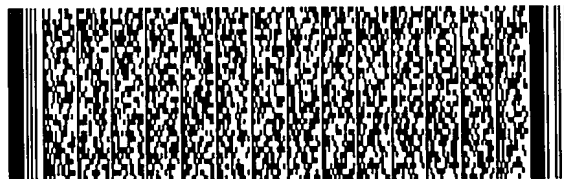
綜上所述，僅需形成導電種子層在基板之第一表面上，透過與第一接墊及第二接墊電性連接之基板內部線路，便可以藉由電鍍的步驟，同時形成金屬層在基板之第一及第二表面上，如此相較於習知技術，可以縮減基板之製作過程。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

#### 【實施方式】

##### 第一較佳實施例

請參照第1圖至第8圖，其繪示依照本發明第一較佳實施例之基板製程的剖面示意圖。請參照第1圖，首先要提供一已完成前段製程的基板100，比如是以四層板為例，其具有四層金屬層111、112、113、114及三層絕緣層115、116、117，金屬層111、112、113、114及絕緣層115、116、117係相互疊層接合，每一相鄰的金屬層111、112、113、114之間係配置其中一層之絕緣層115、116、117，作為電性隔離之用，而金屬層111、112、113、114的材質比如是銅。而已完成前段製程的基板100還具有多個連接孔118(圖示中僅繪示出其中的一個)，連接孔118的孔壁上形成有金屬119，藉以電性連接金屬層111、112、113、114中的其中至少兩層，而絕緣材料191可以選擇性



#### 五、發明說明 (4)

地填入到貫孔118中。已完成前段製程的基板100具有二對應之表面120、130，其中金屬層111、114係分別位在已完成前段製程的基板100之表面120、130上。

請參照第2圖，比如可以利用微影蝕刻的步驟，圖案化金屬層111、114，金屬層111比如具有多個接墊122及線路圖案124，而金屬層114比如具有多個接墊132及線路圖案133，其中接墊122比如可以透過連接孔118中的金屬119電性連接於接墊132。接著，請參照第3圖，比如可以利用網板印刷的方式分別形成鍍罩層140、145於絕緣層115、117上，鍍罩層140、145分別具有多個開口142、146，暴露出金屬層111、114之接墊122、132，且鍍罩層140、145分別覆蓋金屬層111、114之線路圖案124、133的部分。

請參照第4圖，接著比如可以利用濺鍍的方式或無電鍍的方式，形成一導電種子層150(conductive seed layer)於鍍罩層145上，且導電種子層150會覆蓋金屬層114之接墊132，其中導電種子層150之結構比如是由下列至少一金屬材質，銅、鎳、鉻、金、錫、銀及上述金屬之合金，所構成的單層結構或多層結構。請參照第5圖，接著可以進行電鍍的步驟，由於接墊132可以透過預先製作完成之基板內部線路電性連接於接墊122，因此透過電鍍製程，可以同時形成金屬層160在導電種子層150上及形成金屬層162在接墊122上，其中金屬層160、162之結構比如是由下列至少一金屬材質，鎳、金及上述金屬之合金，所構成的單層結構或多層結構。

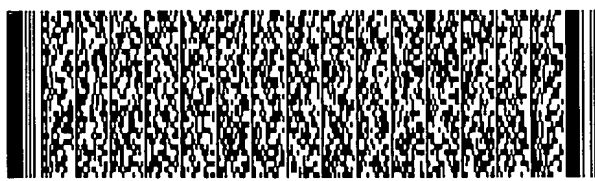
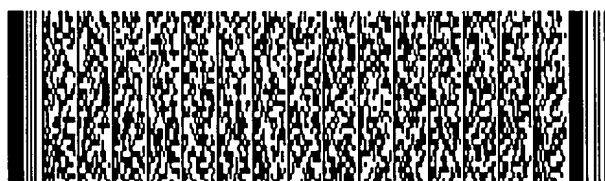


## 五、發明說明 (5)

接下來，可以進行微影蝕刻的步驟，藉以圖案化金屬層，請參照第6圖，首先要形成一罩蔽層170在金屬層160上，其中罩蔽層170的材質比如是光阻，經過曝光、顯影等步驟，罩蔽層170會形成覆蓋區域172及暴露區域174，罩蔽層170之覆蓋區域172係大致上對準接墊132的位置，而罩蔽層170之暴露區域174會暴露出金屬層160。接著，可以進行蝕刻製程，其係以罩蔽層170之覆蓋區域172作為蝕刻罩蔽，蝕刻位在罩蔽層170之暴露區域174下的金屬層160，形成如第7圖所示的結構。最後，再去除罩蔽層170，形成如第8圖所示的結構，如此基板200便製作完成。其中由接墊132可以透過導電種子層150及金屬層160與錫球(未繪示)接合，作為錫球墊(ball pad)之用，而接墊132可以透過金屬層150與凸塊(未繪示)或導線(未繪示)接合，作為凸塊墊(bump pad)或導線接合墊(bonding finger)之用。

在本實施例中，基板200係以四層板為例，然而在實際應用上，本發明的電鍍概念亦可以應用在比如是六層板、八層板或是其他層數之基板。

在上述的基板製程中，由於僅需形成導電種子層150在錫罩層145上及接墊132上，並透基板200之內部線路使接墊122、132電性連接，因此當在進行電鍍步驟時，可以同時分別形成金屬層160、162在導電種子層150及接墊122上，而且在電鍍製程之後，並不需進行微影蝕刻的步驟藉以圖案化金屬層162，如此可以縮減基板之製作過程。另



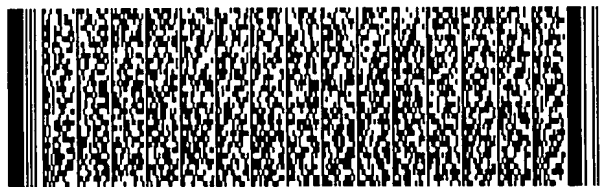
## 五、發明說明 (6)

外，藉由上述的方式進行電鍍製程，並不需配置用於電鍍製程之電鍍線路在已完成前段製程的基板100上，而可以留給更多的空間作其他用途之繞線之用，且可以節省切斷此電鍍線路之製程，故不會因為切不乾淨而留有一段尾巴在基板200上，使得基板200之電性效能降低，並且在傳輸高頻訊號上，本發明之基板200亦具有甚佳的效能。

### 第二較佳實施例

然而在實際應用上並不限於上述的較佳實施例，如第9圖至第12圖所示，其繪示依照本發明第二較佳實施例之基板製程的剖面示意圖，其中若是標號與第一較佳實施例一樣者，則表示此標號所代表之構件係雷同於在第一較佳實施例中此標號所代表之構件，在此便不在贅述。

請參照第9圖，其係接續第一較佳實施例中第4圖之製程，在形成導電種子層150於鉅罩層145上之後，接著還要形成罩蔽層370到導電種子層150上，其中罩蔽層370的材質比如是光阻，經過曝光、顯影等步驟，罩蔽層370會形成多個開口372，暴露出導電種子層150，且開口372的位置係大致上對準接墊132的位置。請參照第10圖，接著可以進行電鍍的步驟，由於接墊132可以透過預先製作完成之基板內部線路電性連接於接墊122，因此透過電鍍製程，可以同時分別形成金屬層360到導電種子層150上及形成金屬層362到接墊122上，其中金屬層360、362之結構比如是由下列至少一金屬材質，鎳、金及上述金屬之合金，所構成的單層結構或多層結構。



## 五、發明說明 (7)

接下來，可以進行去除罩蔽層370的步驟，如第11圖所示。最後，可以進行蝕刻製程，其係以金屬層360作為蝕刻罩蔽，蝕刻暴露於外之導電種子層150，如第12圖所示，如此基板400便製作完成。

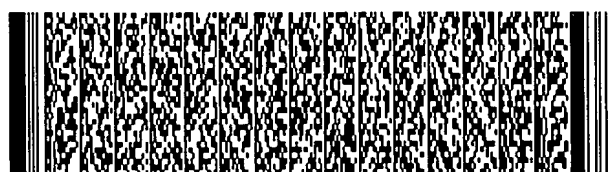
### 結論

綜上所述，本發明至少具有下列優點：

1. 本發明之基板製程，由於僅需形成一導電種子層在已完成前段製程的基板之其中一表面上，便可以藉由電鍍的步驟，分別形成金屬層在基板之二表面上，而且在電鍍製程之後，並不需在基板之兩面均進行微影的步驟，藉以圖案化金屬層，如此可以縮減基板之製作過程。

2. 本發明之基板製程，並不需配置用於電鍍製程之電鍍線路在基板上，因此可以留給更多的空間作其他用途之繞線之用，且可以節省切斷此電鍍線路之製程，故不會因為切不乾淨而留有一段尾巴在基板上，使得基板之電性效能降低，並且在傳輸高頻訊號上，本發明之基板亦具有甚佳的效能。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。





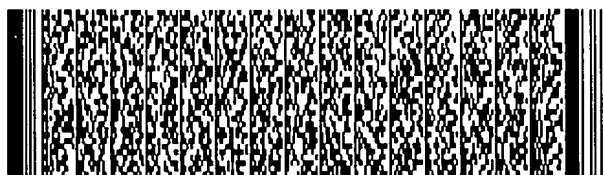
## 圖式簡單說明

第1圖至第8圖繪示依照本發明第一較佳實施例之基板製程的剖面示意圖。

第9圖至第12圖繪示依照本發明第二較佳實施例之基板製程的剖面示意圖。

### 【圖式標示說明】

100 : 基板半成品	111 : 金屬層
112 : 金屬層	113 : 金屬層
114 : 金屬層	115 : 絕緣層
116 : 絕緣層	117 : 絕緣層
118 : 連接孔	119 : 金屬
120 : 表面	122 : 接墊
124 : 線路圖案	130 : 表面
132 : 接墊	133 : 線路圖案
140 : 鐳罩層	142 : 開口
145 : 鐳罩層	146 : 開口
150 : 金屬層	160 : 金屬層
162 : 金屬層	170 : 罩蔽層
172 : 覆蓋區域	174 : 暴露區域
191 : 絕緣材料	200 : 基板
310 : 基板半成品	360 : 金屬層
362 : 金屬層	370 : 罩蔽層
372 : 開口	400 : 基板



## 六、申請專利範圍

### 1. 一種基板電鍍製程，至少包括：

提供一已完成前段製程的基板，具有一基板內部線路及一第一表面及對應之一第二表面，該第一表面上具有複數個第一接墊(pad)及複數個線路圖案(trace)，該第二表面上具有複數個第二接墊及複數個線路圖案，並且該第一及第二表面上分別具有一鍍單層覆蓋該些線路圖案而暴露出該些第一接墊及該些第二接墊，其中該些第一接墊藉由該基板內部線路與該些第二接墊電性連接；

形成一導電種子層(conductive seed layer)覆蓋在該基板之該第一表面上；

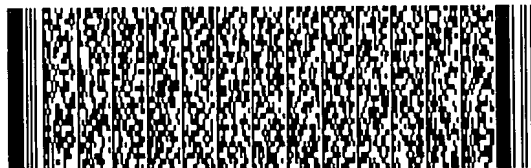
以電鍍的方式，同時形成一第一金屬層在該導電種子層上及形成一第二金屬層在該些第二接墊上；以及

圖案化該第一金屬層及該導電種子層。

2. 如申請專利範圍第1項所述之基板電鍍製程，其中該導電種子層之材質係選自於由下列至少一金屬材質，銅、鎳、鉻、金、錫、銀及上述金屬之合金，所構成的單層結構及多層結構，二者擇一。

3. 如申請專利範圍第1項所述之基板電鍍製程，其中該第一金屬層及該第二金屬層之材質係選自於由下列至少一金屬材質，鎳、金及上述金屬之合金，所構成的單層結構及多層結構，二者擇一。

4. 如申請專利範圍第1項所述之基板電鍍製程，其中係利用濺鍍的方式形成該導電種子層在該基板之該第一表面上。



## 六、申請專利範圍

5. 如申請專利範圍第1項所述之基板電鍍製程，其中係利用無電電鍍的方式形成該導電種子層在該基板之該第一表面上。

6. 一種基板電鍍製程，至少包括：

提供一已完成前段製程的基板，具有一基板內部線路及一第一表面及對應之一第二表面，該第一表面上具有複數個第一接墊(pad)及複數個線路圖案(trace)，該第二表面上具有複數個第二接墊及複數個線路圖案，並且該第一及第二表面上分別具有一鍍層覆蓋該些線路圖案而暴露出該些第一接墊及該些第二接墊，其中該些第一接墊藉由該基板內部線路與該些第二接墊電性連接；

形成一導電種子層(conductive seed layer)覆蓋在該基板之該第一表面上；

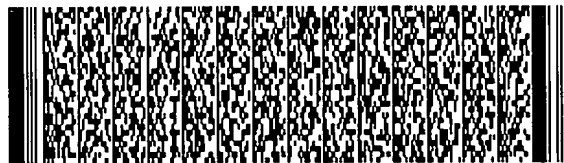
形成一罩蔽層(mask)在該導電種子層上，該罩蔽層具有複數個開口，暴露出部分該導電種子層；

以電鍍的方式，同時形成一第一金屬層在該導電種子層上及形成一第二金屬層在該些第二接墊上；以及

移除該罩蔽層及未被該第一金屬層覆蓋之該導電種子層。

7. 如申請專利範圍第1項所述之基板電鍍製程，其中該導電種子層之材質係選自於由下列至少一金屬材質，銅、鎳、鉻、金、錫、銀及上述金屬之合金，所構成的單層結構及多層結構，二者擇一。

8. 如申請專利範圍第1項所述之基板電鍍製程，其中



## 六、申請專利範圍

該第一金屬層及該第二金屬層之材質係選自於由下列至少一金屬材質，鎳、金及上述金屬之合金，所構成的單層結構及多層結構，二者擇一。

9. 如申請專利範圍第1項所述之基板電鍍製程，其中係利用濺鍍的方式形成該導電種子層在該基板之該第一表面上。

10. 如申請專利範圍第1項所述之基板電鍍製程，其中係利用無電電鍍的方式形成該導電種子層在該基板之該第一表面上。

11. 一種基板電鍍製程，至少包括：

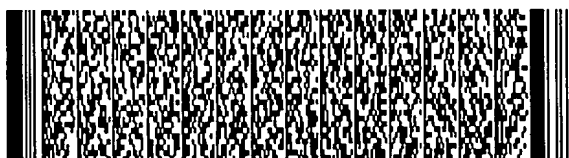
提供一已完成前段製程的基板，具有一基板內部線路及一上表面及對應之一下表面，該下表面具有複數個第一接墊(pad)及複數個線路圖案(trace)，該上表面具有複數個第二接墊及複數個線路圖案，並且該上表面及該下表面上分別具有一鍍罩層(solder mask)覆蓋該些線路圖案而暴露出該些第一接墊及該些第二接墊，其中該些第一接墊藉由該基板內部線路與該些第二接墊電性連接；

形成一導電種子層(conductive seed layer)覆蓋在該基板之該下表面上；以及

以電鍍的方式，同時形成一第一金屬層在該導電種子層上及形成一第二金屬層在該些第二接墊上。

12. 如申請專利範圍第11項所述之基板電鍍製程，其中該第一接墊可為鍍球墊(ball pad)。

13. 如申請專利範圍第11項所述之基板電鍍製程，其



#### 六、申請專利範圍

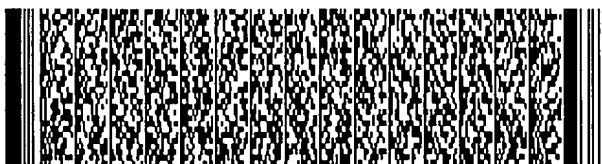
中該第二接墊可為凸塊墊(bump pad)或導線接合墊(bonding finger)。

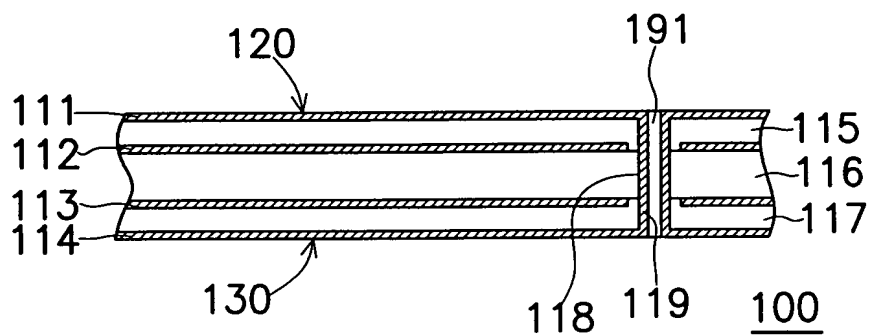
14. 如申請專利範圍第11項所述之基板電鍍製程，其中該導電種子層之材質係選自於由下列至少一金屬材質，銅、鎳、鉻、金、錫、銀及上述金屬之合金，所構成的單層結構及多層結構，二者擇一。

15. 如申請專利範圍第11項所述之基板電鍍製程，其中該第一金屬層及該第二金屬層之材質係選自於由下列至少一金屬材質，鎳、金及上述金屬之合金，所構成的單層結構及多層結構，二者擇一。

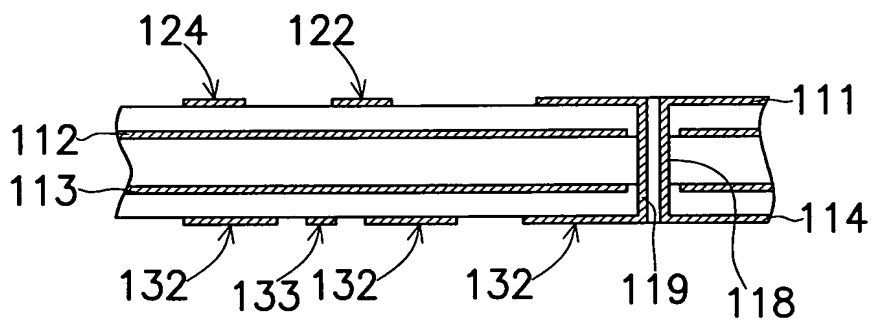
16. 如申請專利範圍第11項所述之基板電鍍製程，其中係利用濺鍍的方式形成該導電種子層在該基板之該下表面上。

17. 如申請專利範圍第11項所述之基板電鍍製程，其中係利用無電電鍍的方式形成該導電種子層在該基板之該下表面上。

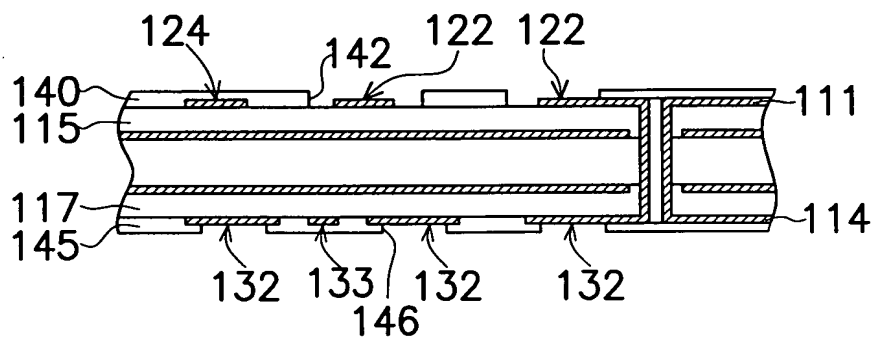




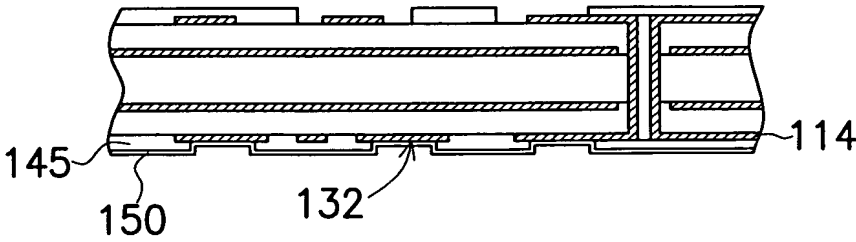
第 1 圖



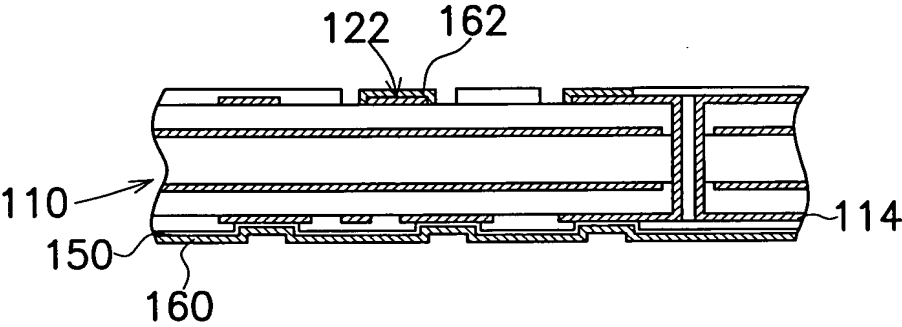
第 2 圖



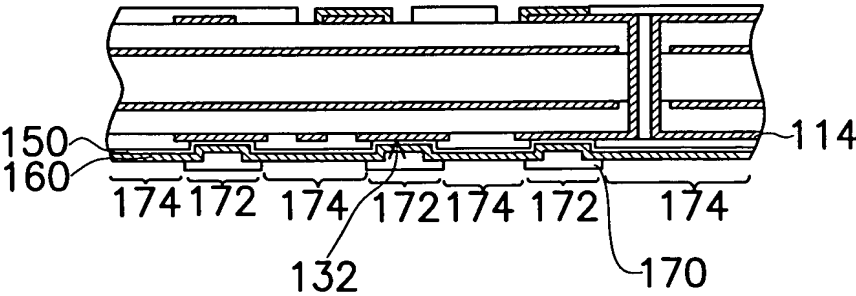
第 3 圖



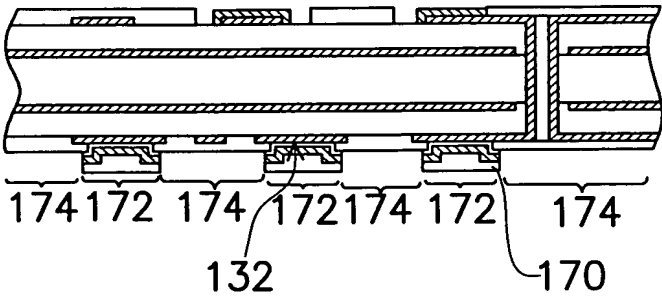
第 4 圖



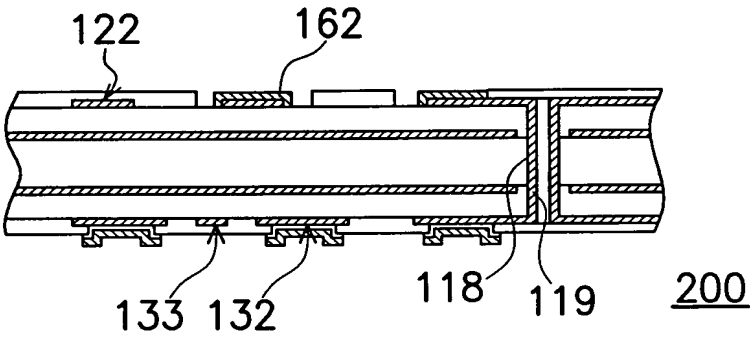
第 5 圖



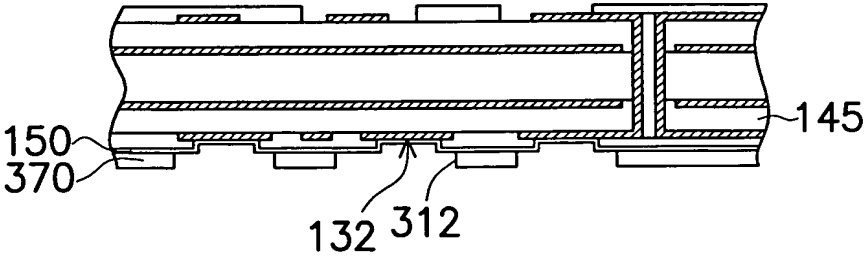
第 6 圖



第 7 圖

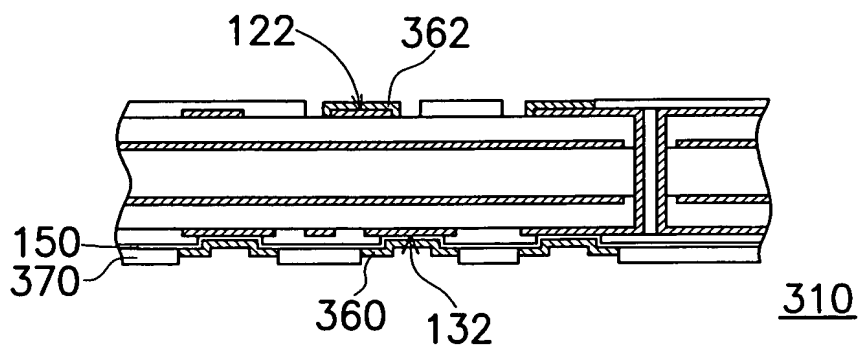


第 8 圖

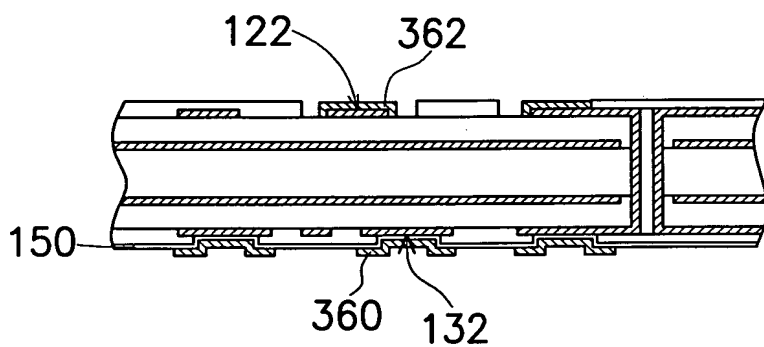


第 9 圖

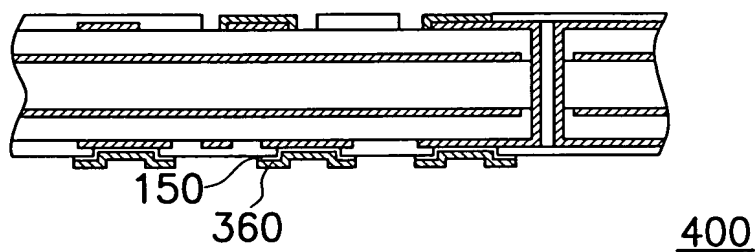




第 10 圖

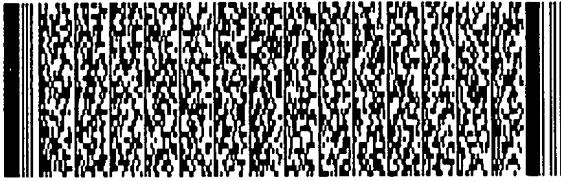


第 11 圖



第 12 圖

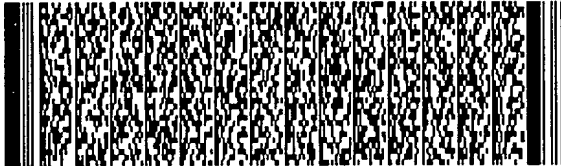
第 1/18 頁



第 2/18 頁



第 3/18 頁



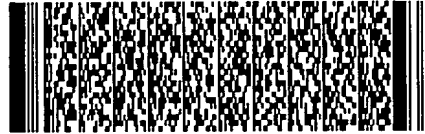
第 3/18 頁



第 4/18 頁



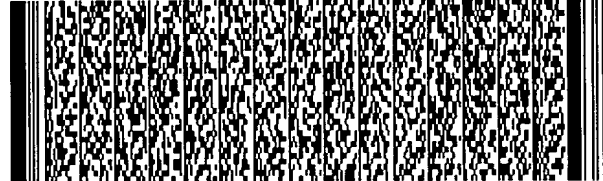
第 5/18 頁



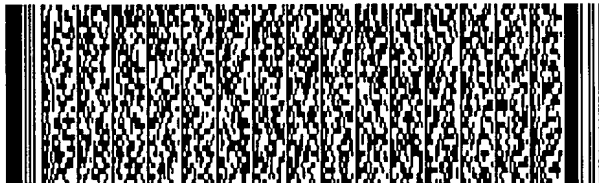
第 6/18 頁



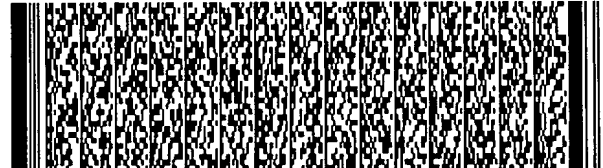
第 7/18 頁



第 7/18 頁



第 8/18 頁



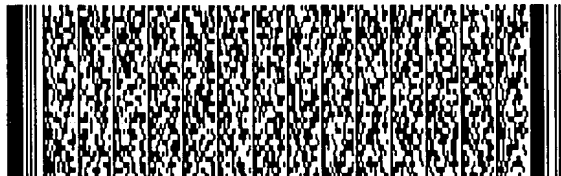
第 8/18 頁



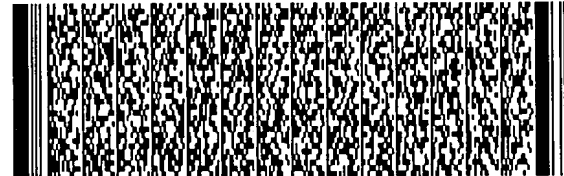
第 9/18 頁



第 9/18 頁



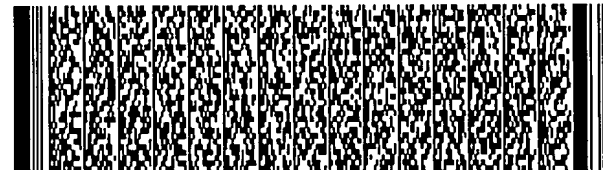
第 10/18 頁



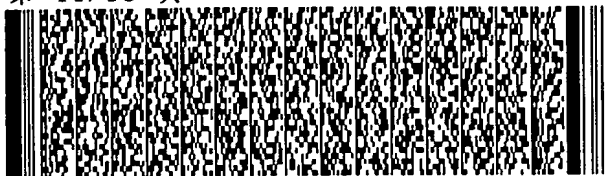
第 10/18 頁



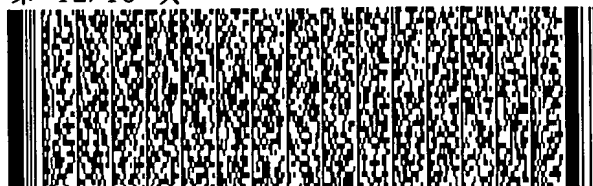
第 11/18 頁



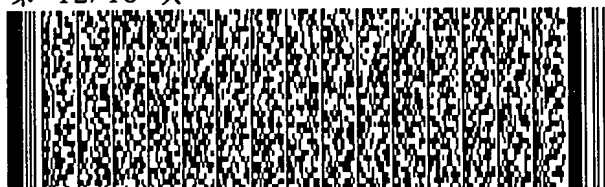
第 11/18 頁



第 12/18 頁



第 12/18 頁



第 13/18 頁



第 13/18 頁



第 14/18 頁



第 15/18 頁



第 15/18 頁



第 16/18 頁



第 16/18 頁



第 17/18 頁



第 17/18 頁



第 18/18 頁

